

(6) Japanese Patent Application Laid-Open No. 56-150853 (1981):
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

A CMOS process comprising steps of forming a Si_3N_4 film 9 entirely on a polysilicon gate on a bulk substrate, ion-implanting As (arsenic) into a p well side through the Si_3N_4 film 9 and a gate SiO_2 film 6 with a N substrate side covered with a SiO_2 film 10, and forming a n type impurity introducing layer 11 on a p well surface.

10

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—150853

⑪ Int. Cl.⁸
H 01 L 27/08
29/78

識別記号

庁内整理番号
6426—5F
6603—5F

⑬ 公開 昭和56年(1981)11月21日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置の製造法

⑯ 特 願 昭55—54138

⑰ 出 願 昭55(1980)4月25日

⑱ 発 明 者 目黒 伶
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑲ 発 明 者 長沢 幸一

小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

㉑ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置の製造法

特許請求の範囲

1 第1の半導体領域及び第2の半導体領域を構成する半導体基板の一主表面に被覆材を形成する工程と、第1の半導体領域上の被覆材の一部を除去して第1の半導体領域の一部表面を露出する工程と、この露出した第1の半導体領域表面をマスク材で掩いマスク材が形成されていない上記第2の半導体領域内に上記被覆材を通して不純物を導入する工程と、上記露出した第1の半導体領域表面に上記不純物と反対導電型を示す不純物を導入する工程とより成ることを特徴とする半導体装置の製造法。

2 上記被覆材は半導体酸化膜及び半導体窒化膜からなる特許請求の範囲第1項に記載の半導体装置の製造法。

3 上記マスク材は上記反対導電型不純物を含有している特許請求の範囲第1項又は第2項に記載の半導体装置の製造法。

4 上記第1の半導体領域と上記第2の半導体領域とは各導電型が異なる特許請求の範囲第1項、第2項又は第3項に記載の半導体装置の製造法、
発明の詳細な説明

本発明は半導体装置の製造法に関し、特に複数のPチャネルMOSFETおよびNチャネルMOSFETを構成するコンプリメンタリMOSIO(以下、CMOSICと呼ぶ)の製造技術を対象とする。なお、上記MOSFETはMetal-Oxide-Semiconductor Field-Effect Transistorの略であるが本発明によれば特にゲート電極が金属(metal)、ゲート絶縁膜が酸化物(Oxide)に制限されるものではない。

CMOSICの製造において、NチャネルMOSFETのソース・ドレイン領域を形成する場合に、比較的拡散速度の遅いAs(ヒ素)をドープ(n型不純物)として導入し、次いで、そのp型不純物領域の表面の絶縁膜にコンタクトのための穴あけを行い、その穴あけした部分から拡散速度の速いp型不純物のP(リン)を導入して深く、

拡散してソース・ドレイン領域を形成する方法が提案されている。これはコンタクト穴がソース・ドレイン領域からはみ出して形成され、そこへ $A\alpha$ 電極を設けた場合に $A\alpha$ が浅い $A\beta$ の拡散層をつき抜けて接合部の短絡を生じるおそれがあるのを P (リン)による深い拡散によつて $A\alpha$ をつき抜けを防止するためである。

しかし、一つの基板上に n チャネル $MOSFET$ 及び p チャネル $MOSFET$ をつくる $CMOS$ プロセスにおいては、一方の p チャネル $MOSFET$ 側では B (ボロン)導入による P 型ソース・ドレイン領域は充分に深く形成できるとともに $A\alpha$ 自体が P 型化する性質をもつためコンタクト穴のはみ出しがあつてもさほど問題がなく、他方の n チャネル $MOSFET$ 側では前記した理由でコンタクト穴からリンを拡散する必要がある、この拡散工程のために p チャネル $MOSFET$ 側のソース・ドレインが必要以上に深くなつて $CMOS$ としての特性上のバランスに問題を生じさせていた。

(4) B_1, N_1 、膜4、 B_{10} 、膜2をいったん除去した後、熱酸化によるゲート B_{10} 、膜6(厚さ 530\AA)を生成し、その上に気相化学成長法によりポリ B_1 (リン不純物ドーブにより低抵抗化してある)を生成し、パターンニングによつてポリ B_1 ゲート7a、7b(厚さ 3500\AA)を形成する。この後ライト酸化によりポリ B_1 ゲートの表面(上面及び側面)にも B_{10} 、膜8を生成する。

(5) 全面に B_1, N_1 、膜9を生成し、 n 基板側を OV D(気相化学堆積) B_{10} 、膜10で覆つた状態で p ウエル側に B_1, N_1 、膜9、ゲート B_{10} 、膜6を通して $A\alpha$ (ヒ素)をイオン打込みし、 p ウエル表面に n 型不純物導入層11をつくる。このときポリ B_1 ゲート7bは不純物導入マスクとなつてその直下には $A\alpha$ は打込まれない。上記 B_1, N_1 、膜9の存在によりこの後のエッチング工程でのオーバーエッチが防止できる。

(6) $A\alpha$ の打込まれた p ウエル側の B_1, N_1 、膜9の一部をエッチ除去し、同時にその下の B_{10} 、膜6を除去してソースコンタクト部12をあける。

本発明は上記した問題を解決するためになされたものであり、その目的は $CMOS$ プロセスにおいてセルフアライン化等にマスク工程を増やすことなく、マスク合せ余裕を考慮しなくてもすむ半導体装置の製造法の提供にある。

以下、本発明の具体的実施例を図面を参照して説明する。

第1図(1)~(11)は $CMOS$ プロセスに本発明を適用した場合の実施例を工程断面図によつて示すものである。

(1) n 型 B_1 ウエハ(基板)1を用意し、その表面の一部に酸化膜(SiO_2)2をマスクとして p 型ウエル形成のための B_2 (ボロン)イオン打込みを行なう。

(2) 引伸し拡散によつて p ウエル3形成後、 B_{10} 、膜2を介して表面に酸化膜(Si_3N_4)4を形成する。

(3) Si_3N_4 、膜4をマスクとして選択酸化を行ないフィールド B_{10} 、膜5を p ウエル3と n 基板1の境界にそつて形成する。

(4) p ウエル側表面に高濃度の P (リン)のドーブされた PBG (リン・シリケートガラス)膜13(厚さ 6000\AA)を形成する。この PBG 膜の一部はコンタクト部を通して p ウエル表面に直接に接触する。この状態で B (ボロン)をイオン打込みすることにより PBG の形成されない n 基板表面に B_1, N_1 、膜9、 B_{10} 、膜6を通して p 型不純物層14が形成される。このときポリ B_1 ゲート7aはマスクとなつてその直下には B は打込まれない。

(5) このあと熱処理炉を通して引伸し拡散を行なうことにより、 n 基板側で B を引伸して p^+ ソース、ドレイン15を形成する一方、 p ウエル側で $A\alpha$ を引伸ばすと同時に PBG よりの P を拡散して一部で深い p^+ 拡散層をもつ p^+ ソース、ドレイン16を形成する。

(6) 全面に新たに PBG 等のパッシベーション膜17を施した後、コンタクトホトエッチを行なつてソース、ドレイン及びポリ B_1 ゲートの一部を露出し、 $A\alpha$ 蒸着、パターンエッチによりソース、

ドレイン及びゲートにコンタクトするA₂電極(配線)18を形成する。なお、プウエル側のドレインは図示されない位置でA₂電極とのコンタクトがとられる。

第2図(四)~(六)は同じくCMOSプロセスに本発明を適用した場合の他の実施例を示す。

(四) 前記した実施例の(四)工程の後、全面にオーバーエッチ防止用のSi₃N₄膜9を形成した後、プウエル側のSi₃N₄膜の一部をエッチ除去し、次いでその下のSiO₂膜6を除去してプウエルのSi表面を露出する。

(五) p基板側にCVD SiO₂膜によるマスク10を形成し、ここでプウエル表面にA₂イオン打込みを行なう。このときSi₃N₄の除去されたプウエルの露出部分には多くの量のA₂が導入されるが、Si₃N₄膜9、SiO₂膜6で覆われて部分には少ない量のA₂が導入されることになる。

(六) この後、CVD SiO₂膜10を取除き、前記コンタクト部に接するよう高濃度P(リン)をドープしたPBG膜13を形成した状態でPBG

膜よりPをプウエル表面に拡散しn⁺ソース、ドレイン16を形成する。

(四) プウエル側のPBG膜13をマスクとしてp基板側にポリSiゲートをマスクとしてBイオン打込みを行ない、p⁺ソース、ドレイン15を形成する。なお、上記(四)工程でPBG膜をプウエル表面に接触させた直後にリン拡散を行わず、p基板側にBイオンを打込み、その後、p基板側とプウエル側で引伸し拡散を行ないp⁺ソース、ドレイン15及びn⁺ソース・ドレイン16を同時に形成してもよい。

以上実施例で述べた本発明によれば下記のように前記発明の目的が達成できる。

- (1) 半導体領域の上に全面にSiO₂及びSi₃N₄のごとき被覆材を設けることによりその後のコンタクト穴あけエッチの際にオーバーエッチすることがなくエッチ精度を確保できる。
- (2) Si₃N₄の存在により、特に前記工程(四)の段階でCVD SiO₂膜10(不純物選択導入用マスク)を選択的にエッチングする際に下地SiO₂膜5、

6、8がエッチされない。このため、SiO₂膜5上においては、段差が生じることがないのでそのSiO₂膜5上に配線層(A₂配線)が存在しても配線層の段切れがなくなる。また、SiO₂膜6、8も充分な膜厚が保たれるのでそれぞれ基板表面安定化および場間絶縁としての機能を充分維持できる。

(3) 一つの半導体領域でコンタクト穴あけ後マスク材を設けることにより、このマスク材を利用して他の半導体領域でソース、ドレイン拡散ができるとともに、コンタクト穴部への不純物導入量を制御できる。

(4) マスク材に高濃度リンを含むPBGを使用することによりマスク材に接するコンタクト部の半導体表面にリンによる深い拡散層を形成することができる。

(5) 一方の半導体領域をマスク材を覆った状態で他方の半導体領域に不純物(ボロン)を別個に導入するからその拡散層の深さを適宜に制御することができ、マスク材で覆った側の半導体領域にお

ける拡散層の深さとのバランスを保つことが容易である。

(6) 上記(1)~(4)より特にCMOS B I Oにおいてはコンタクト穴がソース、ドレイン領域よりはみ出しても問題がないことから、コンタクトエッチのマスク合せに余裕が不要となり集積度を向上することができる。

本発明は前記実施例に限定されるものでなく、これ以外に種々の変形実施例を有するものである。

本発明はCMOS B I Oにおけるnチャネル部のn⁺A₂自己整合コンタクトを利用した全ての場合に適用できるものである。

図面の簡単な説明

第1図(四)~(六)は本発明によるCMOS B I Oのプロセスの一実施例を説明するための半導体装置の工程断面図、第2図(四)~(六)は本発明によるCMOS B I Cプロセスの他の実施例を説明するための半導体装置の一部工程断面図である。

1……n型Si基板、2……SiO₂膜、3……P型ウエル、4……Si₃N₄膜(マスク)、5……

フィールド SiO_2 膜、6……ゲート用 SiO_2 膜、
 7a, 7b……ポリ Si ゲート、8…… SiO_2 膜、
 9…… Si_3N_4 膜(被覆材)、10…… OVD -
 SiO_2 膜、11, 12……A π 導入層、13……
 PSG膜、14……B導入層、15…… P^+ 型ソ
 ース・ドレイン、16…… n^+ 型ソース・ドレイ
 ン、17……PSG膜(パッシベーション)、
 18……A \angle 電極(配線)。

代理人 弁理士 森 田 利 幸

第 1 図



